



KOREAN PATENT ABSTRACTS(KR)

Document Code:A

(11) Publication No.1020010045911

(43) Publication.Date. 20010605

(21) Application No.1019990049427

(22) Application Date. 19991109

(51) IPC Code:

H01L 27/108

(71) Applicant:

HYNIX SEMICONDUCTOR INC.

(72) Inventor:

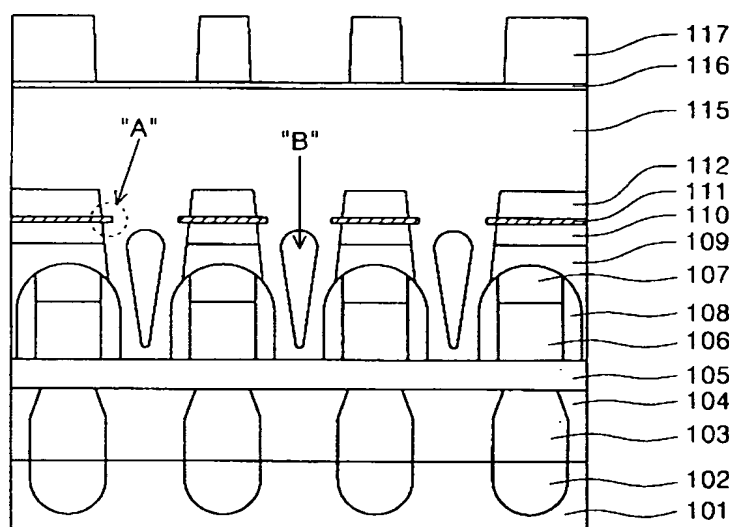
LEE, BYEONG SEOK

(30) Priority:

(54) Title of Invention

METHOD FOR MANUFACTURING CAPACITOR OF SEMICONDUCTOR DEVICE

Representative drawing



(57) Abstract:

PURPOSE: A method for manufacturing a capacitor of a semiconductor device is provided to decrease the number of manufacturing steps for forming a capacitor, by reducing loss of a nitride layer, and by forming the third poly layer pattern without forming a plug poly pattern to form a capacitor lower electrode.

CONSTITUTION: A bit line hard mask and a bit line spacer are formed on a substrate. The first insulating layer is deposited and planarized. After the second insulating layer, a nitride layer and the third insulating layer are sequentially deposited, the third poly layer contact hole is formed. A part of the insulating layer on the inner sidewall of the third poly layer contact hole is selectively wet-etched to form unevenness on the inner

sidewall of the contact hole. A sacrificial oxide layer is deposited on the entire

surface of the third poly layer contact hole having the unevenness while a void is formed inside the contact hole. An anti-reflecting layer(ARL) is deposited on the resultant structure to form the third poly layer mask. The sacrificial oxide layer is etched to deposit the third poly layer by using the third poly layer mask. After a chemical mechanical polishing(CMP) process is performed, a planarization process is carried out. The sacrificial oxide layer is removed to expose the nitride layer and to form a capacitor pattern.

COPYRIGHT 2001 KIPO

if display of image is failed, press (F5)

(19) 대한민국특허청(KR) (12) 공개특허공보(A)

(51) Int. Cl. ⁶ H01L 27/108	(11) 공개번호 특2001-0045911
	(43) 공개일자 2001년06월05일
(21) 출원번호 10-1999-0049427	
(22) 출원일자 1999년11월09일	
(71) 출원인 주식회사 하이닉스반도체 박종성	
	경기 이천시 부발읍 아미리 산136-1
(72) 발명자 이병석	
	경기도이천시부발읍신하리산40-3거평아파트1-1004
(74) 대리인 박대진, 정은성	

심사청구 : 없음

(54) 반도체장치의 커패시터 제조방법

요약

본 발명은 반도체장치의 커패시터 구조를 형성하기 위한 희생산화막(115) 증착시 제 3폴리막 콘택홀 내부 측벽에 요철(A)을 형성하여 희생산화막(115) 증착시 보이드(B)가 형성되도록 하여 이후에 진행되는 희생산화막(115) 식각시 과식각 타겟을 줄일 수 있도록 하여 질화막(111) 로스에 대한 공정 마진을 증가시키고 플러그폴리 패턴을 형성하지 않고 바로 제 3폴리막(118)을 증착하여 커패시터 구조를 형성하는 반도체장치의 커패시터 제조방법에 관한 것이다.

대표도

도6

색인어

커패시터 보이드 요철 질화막 과식각 희생산화막 콘택홀

명세서

도면의 간단한 설명

도 1내지 도 4는 종래의 방법에 의한 반도체장치의 커패시터 제조방법을 설명하기 위한 단면도들이다.
도 5내지 도 7은 본 발명의 방법에 의한 반도체장치의 커패시터 제조방법을 설명하기 위한 단면도들이다.

- 도면의 주요부분에 대한 부호의 설명 -

- | | |
|-------------------|---------------|
| 1 : 기판 | 2 : 소자분리막 |
| 3 : 제 1절연막 | 4 : 제 1플러그폴리 |
| 5 : 제 2절연막 | 6 : 비트라인 |
| 7 : 비트라인 하드마스크 | 8 : 비트라인 스페이서 |
| 9 : 제 3절연막 | 10 : 제 4절연막 |
| 11 : 질화막 | 12 : 제 5절연막 |
| 13 : 제 3폴리막 콘택마스크 | 14 : 제 2플러그폴리 |
| 15 : 희생산화막 | 16 : 반사방지막 |
| 17 : 제 3폴리막 마스크 | 18 : 제 3폴리막 |

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체장치의 커패시터 제조방법에 관한 것으로서, 보다 상세하게는 커패시터 구조를 형성하기 위한 희생산화막 증착시 제 3폴리막 콘택홀 내부에 보이드를 형성시켜 이후에 진행되는 희생산화막

식각시 과식각 타겟을 줄일 수 있도록 하여 질화막 로스에 대한 공정 마진을 증가시키고 플러그폴리 패턴을 형성하지 않고 바로 제 3폴리막을 증착하여 커패시터 구조를 형성하는 반도체장치의 커패시터 제조 방법에 관한 것이다.

현재 반도체장치의 고집적화로 인하여 콘택홀 사이즈를 비롯한 패턴 사이즈가 점점 축소가 되어 있으며 이에 따라 256M급 이상의 소자에서는 커패시터 제조 공정이 점점 더 복잡해지고 있다. 이와 같은 공정의 복잡화는 소자 제조 공정 비용을 증가시키는 문제로 이어지고 있다.

도 1내지 도 4는 종래 방법에 의한 반도체장치의 커패시터 제조방법을 설명하기 위한 단면도들이다.

먼저, 도 1과 같이 기판(1)상에 소자간 절연을 위한 소자분리막(2)을 형성한 후 미도시된 워드라인을 형성하고, 제 1절연막(3)을 증착하고 제 1플러그폴리(4) 패턴을 형성한다. 그런다음 전면에 제 2절연막(5)을 증착한 후 비트라인(6)을 형성한 후 비트라인(6) 상부에 비트라인 하드마스크(7)를 형성하고, 측벽에 비트라인 스페이서(8)를 질화막으로 형성한다. 그런다음, 전면에 제 3절연막(9)을 증착한 후 CMP공정을 진행하여 평탄화를 시킨후, 제 4절연막(10)과 질화막(11) 및 제 5절연막(12)을 차례로 증착한 다음 제 3폴리막 콘택마스크(13)를 형성한다.

그런다음, 도 2에 도시된 바와 같이 도 1에서 형성한 제 3폴리막 콘택마스크(13)를 통해 제 3폴리막 콘택홀을 형성한 후, 콘택홀이 매립되도록 전면에 폴리실리콘을 증착하고 에치백을 실시하여 상기 콘택홀 내에 제 2플러그폴리(14) 패턴을 형성한다.

그리고, 도 3과 같이 도 2의 결과를 전면에 희생산화막(15)과 반사방지막(16)을 차례로 증착한 후, 제 3폴리막 마스크(17) 패턴을 형성하고 희생산화막(15)을 식각하여 제 2플러그폴리(14) 패턴 및 질화막(11)이 노출되도록 한다.

그런다음, 도 4에 도시된 바와 같이 도 3에서 제 2플러그폴리(14) 패턴 및 질화막(11)이 노출되도록 희생산화막(15)을 식각하여 형성한 콘택홀 전면에 제 3폴리막(18)을 증착한 후 CMP공정을 진행하여 반사방지막(16)을 제거한 다음 희생산화막(15)을 습식식각하여 제거하여 커패시터의 하부전극을 형성한다.

이와 같은 공정은 제 3폴리막 콘택홀을 형성한 후 제 3폴리막 패턴 즉, 커패시터의 하부전극을 형성공정까지의 단계가 14공정으로 복잡하게 이루어져 있어 제조 공정단가가 증가하는 문제점이 있다.

발명이 이루고자하는 기술적 과제

본 발명은 상기와 같은 문제점을 해결하기 위해 창작성된 것으로서, 본 발명의 목적은 커패시터 구조를 형성하기 위한 희생산화막 증착시 제 3폴리막 콘택홀 내부에 보이드를 형성시켜 이후에 진행되는 희생산화막 식각시 과식각 타겟을 줄일 수 있도록 하여 질화막 로스에 대한 공정 마진을 증가시키고 플러그폴리 패턴을 형성하지 않고 바로 제 3폴리막을 증착하여 커패시터를 제조할 수 있도록 한 반도체장치의 커패시터 제조방법을 제공함에 있다.

발명의 구성 및 작용

상기와 같은 목적을 실현하기 위한 본 발명은 기판상에 소자간 절연공정에서 비트라인형성 공정까지 진행한 후 비트라인 하드마스크 및 비트라인 스페이서를 형성하고, 제 1절연막을 증착한 후 평탄화한 후 제 2절연막 및 질화막 그리고 제 3절연막을 차례로 증착한 후 제 3폴리막 콘택홀을 형성하는 단계와, 제 3폴리막 콘택홀 내부 측벽의 절연막 일부를 선택적으로 습식식각하여 콘택홀 내부 측벽에 요철을 형성하는 단계와, 이와 같이 요철이 형성된 제 3폴리막 콘택홀 전면에 희생산화막을 증착하고 제 3폴리막 콘택홀 내부에 보이드가 형성되도록 증착한 후 그 위에 반사방지막을 증착하여 제 3폴리막 마스크를 형성하는 단계와, 제 3폴리막 마스크를 이용하여 상기 희생산화막을 식각한 후 전면에 제 3폴리막을 증착하는 단계와, 제 3폴리막을 증착한 후 CMP공정을 진행하여 평탄화시킨 후 질화막이 노출되도록 희생산화막을 제거하여 커패시터 패턴을 형성하는 단계로 이루어진 것을 특징으로 한다.

따라서, 본 발명은 제 3폴리막 콘택홀 내부에 요철을 형성하여 희생산화막 증착시 보이드가 형성되도록 함으로써 희생산화막 식각시 과식각 타겟을 줄일 수 있어 질화막의 로스에 대한 공정마진이 줄어들어 질화막의 두께를 줄일 수 있을 뿐만 아니라 플러그폴리를 형성하지 않고 곧바로 제 3폴리막을 증착하여 커패시터 패턴을 형성할 수 있게 된다.

이하, 본 발명의 바람직한 실시예를 첨부된 도면을 참조하여 설명한다. 또한 본 실시예는 본 발명의 권리범위를 한정하는 것은 아니고, 단지 예시로 제시된 것이다.

도 5내지 도 7은 본 발명에 의한 반도체장치의 커패시터 제조방법을 설명하기 위한 단면도들이다.

도 5에 도시된 바와 같이 기판(101)상에 소자간 절연을 위한 소자분리막(102)을 형성한 후 미도시된 워드라인을 형성하고, 제 1절연막(103)을 증착하고 제 1플러그폴리(104) 패턴을 형성한다. 그런다음 전면에 제 2절연막(105)을 증착한 후 비트라인(106)을 형성한 후 비트라인(106) 상부에 비트라인 하드마스크(107)를 형성하고, 비트라인(106) 측벽에 비트라인 스페이서(108)를 질화막으로 형성한다. 그런다음, 전면에 제 3절연막(109)을 증착한 후 CMP공정을 진행하여 평탄화를 시킨후, 제 4절연막(110)과 질화막(111) 및 제 5절연막(112)을 차례로 증착한 다음 제 3폴리막 콘택마스크(113)를 형성한다.

이때 제 3절연막(109)은 BPSG 막으로 형성하고, 제 4절연막(110)과 제 5절연막(112)은 후속열공정에서 질화막(111)이 크랙되는 것을 방지하기 위해 각각 LP-TEOS 또는 PE-TEOS를 교호 사용한다. 그리고, 질화막(111)의 두께는 100~2000 Å 정도로 형성한다.

그런다음, 도 6과 같이 도 5에서 형성된 제 3폴리막 콘택마스크(113)를 이용하여 제 3폴리막 콘택홀을 형성한 후 콘택홀 측벽을 BOE 또는 HF와 같은 식각물질로 절연막을 일부 선택적으로 식각하여 콘택홀 내부에 "A"와 같이 질화막(111)에 의한 요철을 형성한 후 제 3폴리막 콘택홀 전면에 PSG의 희생산화막(115)과 반사방지막(116)을 차례로 증착한 다음 제 3폴리막 마스크(117) 패턴을 형성한다. 이

와 같이 제 3폴리막 콘택을 내부에는 "A"와 같은 요철을 형성하여 희생산화막(115)이 제 3폴리막 콘택을 내부에 완전히 충전되지 않도록 하여 "B"와 같은 보이드를 형성한다.

그런다음, 도 7과 같이 도 6에서 형성된 제 3폴리막 마스크(117)를 이용하여 희생산화막(115)을 식각하면 제 3폴리막 콘택을 내부에 형성된 보이드(B) 때문에 희생산화막(115)을 식각할 때 과식각 타격을 많이 설정하지 않더라도 제 3폴리막 콘택을 내부에 매립된 희생산화막(115)을 효과적으로 식각해 낼 수 있게 된다.

그런다음, 제 3폴리막(118)을 콘택을 전면에 증착하고 CMP공정을 진행한 다음 희생산화막(115)을 습식식각으로 제거하여 커패시터 하부전극 구조를 형성한다.

이와 같이 제 3폴리막 콘택을 내부에 매립된 희생산화막(115)을 식각할 때 보이드(B) 때문에 과식각 타격을 줄일 수 있어 과식각 방지를 위한 질화막(111)의 두께를 얇게 형성하여도 충분한 장벽 역할을 수행할 수 있게 된다.

또한, 과식각 타격을 줄이고도 제 3폴리막 콘택을 내부에 매립된 희생산화막(115)을 효과적으로 제거할 수 있으므로 도 2에 도시된 제 2플러그폴리(114)를 형성하지 않고 곧바로 제 3폴리막(118)을 증착하여 커패시터의 하부전극을 형성할 수 있게 된다.

발명의 효과

상기한 바와 같이 본 발명은 반도체장치의 커패시터 형성공정에서 희생산화막 증착전 제 3폴리막 콘택을 내부에 요철을 형성시켜 희생산화막 증착시 보이드를 일부러 만들어 후속 희생산화막 식각시 과식각 타격을 줄임으로써 질화막 손실을 줄일 수 있도록 하고 또한 플러그폴리 패턴을 형성하지 않고 바로 제 3폴리막 패턴을 형성하여 커패시터 하부전극을 형성함으로써 커패시터 형성 공정 스텝수를 줄여 제조 단가를 낮출 수 있는 이점이 있다.

(57) 청구의 범위

청구항 1

기판상에 소자간 절연공정에서 비트라인형성 공정까지 진행한 후 비트라인 하드마스크 및 비트라인 스페이서를 형성하고, 제 1절연막을 증착한 후 평탄화한 후 제 2절연막 및 질화막 그리고 제 3절연막을 차례로 증착한 후 제 3폴리막 콘택홀을 형성하는 단계와,

상기 제 3폴리막 콘택홀 내부 측벽의 절연막 일부를 선택적으로 습식식각하여 콘택홀 내부 측벽에 요철을 형성하는 단계와,

상기와 같이 요철이 형성된 제 3폴리막 콘택홀 전면에 희생산화막을 증착하고 제 3폴리막 콘택홀 내부에 보이드가 형성되도록 증착한 후 그 위에 반사방지막을 증착하여 제 3폴리막 마스크를 형성하는 단계와,

상기 제 3폴리막 마스크를 이용하여 상기 희생산화막을 식각한 후 전면에 제 3폴리막을 증착하는 단계와,

상기 제 3폴리막을 증착한 후 CMP공정을 진행하여 평탄화시킨 후 질화막이 노출되도록 희생산화막을 제거하여 커패시터 패턴을 형성하는 단계

로 이루어진 것을 특징으로 하는 반도체장치의 커패시터 제조방법.

청구항 2

제 1항에 있어서, 상기 제 3폴리막 콘택홀 내부 측벽의 절연막 일부 식각시 B0E 또는 HF 사용하여 식각하는 것을 특징으로 하는 반도체장치의 커패시터 제조방법.

청구항 3

제 1항에 있어서, 상기 제 1절연막은 BPSG 막인 것을 특징으로 하는 반도체장치의 커패시터 제조방법.

청구항 4

제 1항에 있어서, 상기 제 2절연막과 제 3절연막은 상기 질화막의 크랙을 방지하기 위해 LP-TEOS 또는 PE-TEOS를 교호로 사용한 것을 특징으로 하는 반도체장치의 커패시터 제조방법.

청구항 5

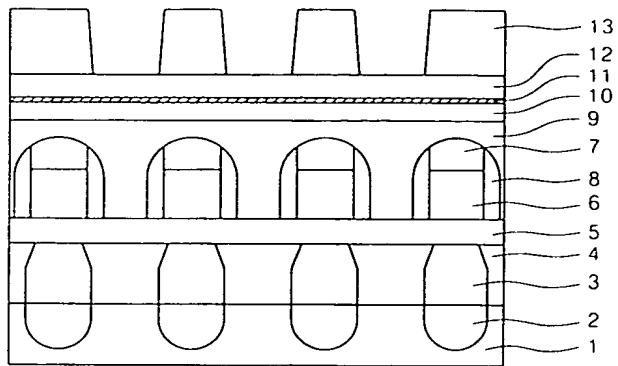
제 1항에 있어서, 상기 질화막의 두께는 100~2000 Å 인 것을 특징으로 하는 반도체장치의 커패시터 제조방법.

청구항 6

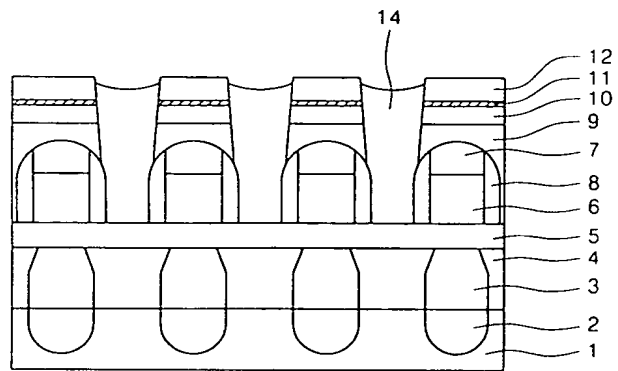
제 1항에 있어서, 상기 희생산화막은 PSG 인 것을 특징으로 하는 반도체장치의 커패시터 제조방법.

도면

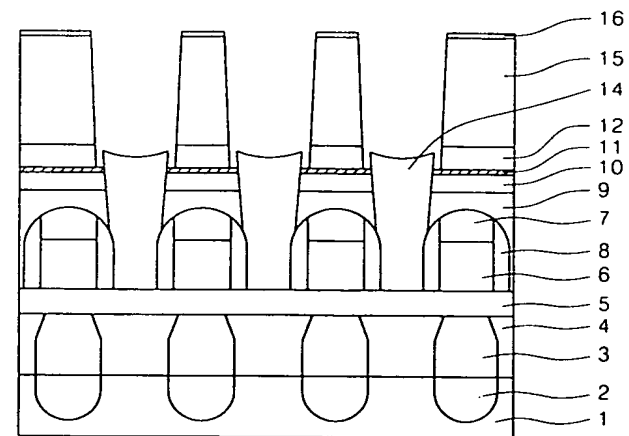
도면1



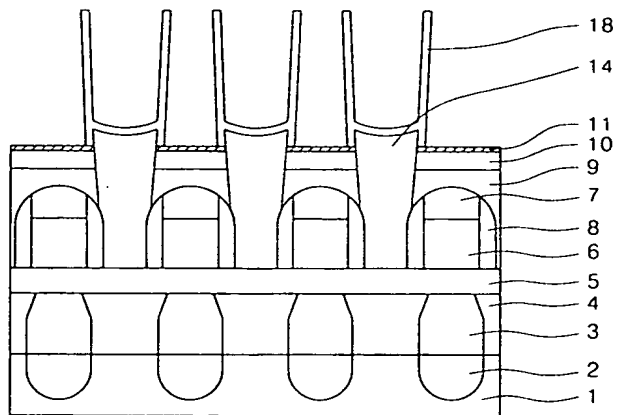
도면2



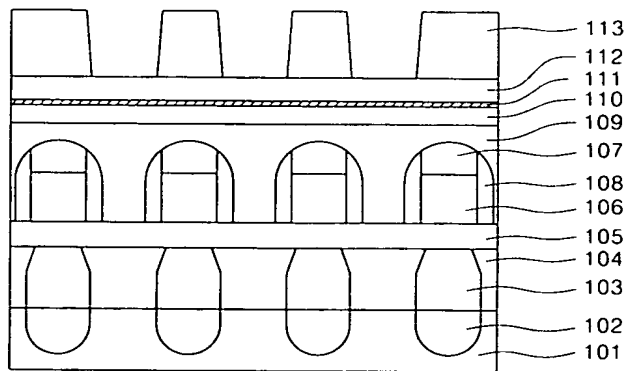
도면3



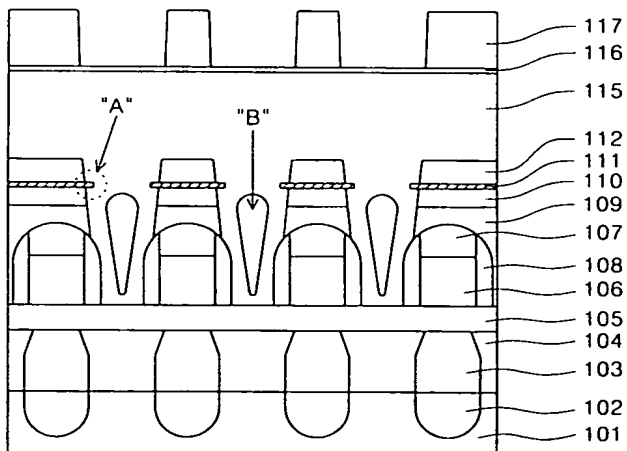
도면4



도면5



도면6



도면7

